

corr. 05-789-785

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-321588

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl.⁹
H01L 27/06
27/04
21/822

識別記号

FI

H01L 27/06
27/04
27/06

101 P
H
311 C

審査請求 未請求 請求項の数6 OL (全5頁)

(21)出願番号 特願平8-39785
(22)出願日 平成8年(1996)2月27日
(31)優先権主張番号 95830067:5
(32)優先日 1995年2月28日
(33)優先権主張国 イタリア (IT)

(71)出願人 591002692
エスジーエーストムソン マイクロエレクトロニクス エッセ エッレ エーレ
SGS-THOMSON MICROELECTRONICS SRL
イタリア国 ミラノ 20041 アグラータ
ブリアンツァ ヴィア ツィー オリヴェッティ 2
(72)発明者 エンリコ エム ア ラヴァネーリ
イタリア国 ミラノ 20052 モンツァ
ヴィア ステルヴィオ 5
(74)代理人 弁理士 杉村 暁秀 (外7名)

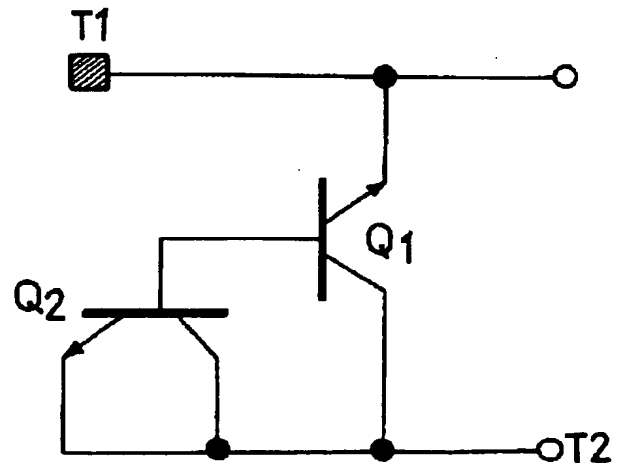
最終頁に続く

(54)【発明の名称】 静電気放電保護回路

(57)【要約】

【課題】 小型で、バイCMOS型の処理によっても高速で容易に集積化でき、いかなる動作状態の下でも入力及び出力端子の双方を保護しうる静電気放電保護回路を提供する。

【解決手段】 集積回路の端子と接地点との間に接続しうる、静電気放電に対し集積回路を保護する保護回路であって、集積回路の前記の端子と接地点との間にエミッタ端子とコレクタ端子とを以て接続された第1トランジスタQ₁と、この第1トランジスタのベース端子に接続されたベース端子と第1トランジスタのコレクタ端子に接続されたエミッタ及びコレクタ端子とを有する第2トランジスタQ₂とを具える。



【特許請求の範囲】

【請求項 1】 集積回路装置にモノリシック集積化でき、この集積回路装置の端子と接地点との間に接続される静電気放電保護回路において、

この静電気放電保護回路が第 1 トランジスタ (Q_1) 及び第 2 トランジスタ (Q_2) を有し、各トランジスタが第 1 及び第 2 端子と制御端子とを有し、前記の第 1 トランジスタがその第 1 及び第 2 端子を以てそれぞれ前記の集積回路装置の前記の端子と前記の接地点との間に接続され、前記の第 2 トランジスタの制御端子は第 1 トランジスタの制御端子に接続され、第 2 トランジスタの第 1 及び第 2 端子の双方が第 1 トランジスタの第 2 端子に接続されていることを特徴とする保護回路。

【請求項 2】 請求項 1 に記載の保護回路において、第 1 及び第 2 トランジスタがバイポーラトランジスタであり、前記の第 1 端子、第 2 端子及び制御端子がそれぞれトランジスタのエミッタ端子、コレクタ端子及びベース端子を構成していることを特徴とする保護回路。

【請求項 3】 第 1 導電型の半導体基板 (1) 上のモノリシック集積回路用静電気放電保護装置であって、この保護装置は第 1 導電型とは反射の第 2 導電型の第 1 領域 (4) を有し、この第 1 領域は基板の表面からこの基板内に延在している保護装置において、

前記の第 1 領域は、前記の表面から当該第 1 領域内に延在する第 1 導電型の少なくとも 1 つの第 2 領域 (5) を有し、この第 2 領域は集積回路の端子に電気接続され、前記の保護装置は、第 1 導電型で前記の表面から基板の領域内及び第 1 領域の周辺領域内に延在する少なくとも 1 つの第 3 領域 (3) を有し、前記の第 3 領域は集積回路の接地点に電気接続されていることを特徴とする保護装置。

【請求項 4】 請求項 3 に記載の保護装置において、前記の第 3 領域の少なくとも一部分に、基板をドーピングするのに用いた不純物よりも高い濃度で不純物がドーピングされ、この第 3 領域の部分は基板上で第 1 領域の下側の領域内にも延在していることを特徴とする保護装置。

【請求項 5】 請求項 3 又は 4 に記載の保護装置において、前記の第 2 領域は、少なくとも 1 つの領域を有する中央部分を囲む周辺部分を有しており、この少なくとも 1 つの領域は前記周辺部分よりも浅く第 1 領域内に延在し、前記の周辺部分は前記の少なくとも 1 つの領域内よりも低い濃度で不純物がドーピングされていることを特徴とする保護装置。

【請求項 6】 請求項 3 ~ 5 のいずれか一項に記載の保護装置において、前記の第 3 領域が周辺部分を有し、この周辺部分は、当該周辺部分よりも高い濃度で不純物がドーピングされている非周辺部分よりも浅く第 1 領域内に延在していることを特徴とする保護装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、集積回路を静電気放電に対し保護する装置、特に混合型の技術を用いて形成され低電源電圧で動作する集積回路に対する小型保護器に関するものである。

【0002】 集積回路の接点パッドは、集積回路の製造中や、これら集積回路の、回路装置への組立て中や、或いは動作中に、帯電物体と偶発的に接触しやすいということが分かっている。その結果、集積回路の領域又は部分間に充分大きな電位差が発生して、MOS 型のトランジスタのゲート酸化物のような、装置中に設けられている薄肉の誘電体を損傷するか又は破壊さえもするおそれがある。

【0003】 静電気状態により生じる電位差がゲート分離部の絶縁耐力を越えると、このゲート分離部を経て生じる静電気放電により MOS トランジスタが使用不可能となる。これが、例えば $1.2 \mu\text{m}$ の最小ゲート寸法を得る MOS 型の技術により集積化した回路においては、約 12 V 程度の低い電圧で、すなわちある場合の静電気放電により生じる値よりも著しく低い値の電圧で生じるおそれのある破壊効果である。

【0004】

【従来の技術】 集積特性に明らかに影響を及ぼす静電気放電から集積回路の入出力端子を保護する数種類の手段が知られている。これらの手段のあるものは、放電による電流を制限又は“抑圧”するために、集積回路の基板に集積化した直列接続抵抗や直列又は並列接続ダイオードを使用するものであり、基本的に入力端子を保護するのに実効性がある。

【0005】 他より優れた手段は、サイリスタ構造又は SCR (シリコン制御整流器) を使用するものであり、場合により点弧電圧を低くする変更を施して入力端子と出力端子との双方を保護するのに採用することができる。

【0006】 本明細書に添付の図 1 に、バイ CMOS 型の、すなわち混合型の技術を用いた回路に対する入力保護回路を示す。トランジスタ Q_1 及び Q_2 が相俟って、集積回路の入力端子 IN と接地点との間に接続されたツェナーダイオードの等価構造を形成している。この種類の ESD (静電気放電) 保護器及びその動作は例えば A.R. Alvarez (Cypress Semiconductor Corporation) 発行の本 “BiCMOS Technology and Applications”、第 2 版に開示されている。

【0007】 この保護器は可成り小型なものであり、バイ CMOS 型の処理により容易に集積化しうるものであり、このことは、外部物体と接触するおそれのある集積回路の各端子に対し保護器を設ける場合に極めて便利である。しかし、この保護器は、動作中負のダイナミックレンジとなる端子に対しては適用できない。

【0008】

【発明が解決しようとする課題】本発明が解決しようとする技術的課題は、小型で、バイ CMOS 型の処理によっても高速で容易に集積化でき、いかなる動作状態の下でも（電源端子を含む）入力端子及び出力端子の双方を保護するのに用いる、静電気放電に対する保護器を提供することである。

【 0 0 0 9 】

【課題を解決するための手段】本発明は、集積回路装置にモノリシック集積化でき、この集積回路装置の端子と接地点との間に接続されうる静電気放電保護回路において、この静電気放電保護回路が第 1 トランジスタ及び第 2 トランジスタを有し、各トランジスタが第 1 及び第 2 端子と制御端子とを有し、前記の第 1 トランジスタがその第 1 及び第 2 端子を以てそれぞれ前記の集積回路装置の前記の端子と前記の接地点との間に接続され、前記の第 2 トランジスタの制御端子は第 1 トランジスタの制御端子に接続され、第 2 トランジスタの第 1 及び第 2 端子の双方が第 1 トランジスタの第 2 端子に接続されていることを特徴とする。

【 0 0 1 0 】又、本発明は、第 1 導電型の半導体基板上のモノリシック集積回路用静電気放電保護装置であって、この保護装置は第 1 導電型とは反射の第 2 導電型の第 1 領域を有し、この第 1 領域は基板の表面からこの基板内に延在している保護装置において、前記の第 1 領域は、前記の表面から当該第 1 領域内に延在する第 1 導電型の少なくとも 1 つの第 2 領域を有し、この第 2 領域は集積回路の端子に電気接続され、前記の保護装置は、第 1 導電型で前記の表面から基板の領域内及び第 1 領域の周辺領域内に延在する少なくとも 1 つの第 3 領域を有し、前記の第 3 領域は集積回路の接地点に電気接続されていることを特徴とする。

【 0 0 1 1 】本発明の特徴及び利点は以下の実施例の説明から明らかとなるも、本発明はこの実施例に限定されるものではない。

【 0 0 1 2 】

【発明の実施の形態】図 2 に示す静電気放電保護回路は極めて簡単であり、第 1 トランジスタ Q_1 及び第 2 トランジスタ Q_2 を有し、好適例ではこれら双方のトランジスタをバイポーラ NPN 型とする。

【 0 0 1 3 】トランジスタ Q_1 は集積回路の、保護すべき端子 T 1 と好ましくは接地端子 T 2 との間にこのトランジスタのエミッタ端子及びコレクタ端子をそれぞれで接続されており、この集積回路は 1 つの保護器回路（集積回路の複数の端子を静電気放電に対し保護する必要がある場合には、複数の保護器回路）を有する。トランジスタ Q_1 はそのエミッタ及びコレクタの双方の端子を以てトランジスタ Q_2 のコレクタ端子に、従ってこの場合接地端子 T 2 に接続されている。。トランジスタ Q_1 及び Q_2 のそれぞれのベース端子は互いに接続されている。

【 0 0 1 4 】電源端子を含む場合でも、保護器回路は常に、保護を要する端子と接地端子との間に接続するのが安全である。この場合、2 つの端子間に 1 つの保護器回路を接続することによりある程度の保護を達成しうるも、2 つの電源端子の各々に 1 つずつ、計 2 つの保護器回路を用いるのが更に良好である。

【 0 0 1 5 】正の放電中は、トランジスタ Q_1 のエミッタベース接合がなだれ導通状態となり、トランジスタ Q_1 がダイオードバイアスされ、トランジスタ Q_1 のベースコレクタ接合が順方向導通で動作する。従って、トランジスタ Q_1 は BV_{cer} 動作モードで逆に作用し、極めて低い出力インピーダンスを呈する。一方、負の放電中は、なだれ導通を受けるのはトランジスタ Q_2 のエミッタベース接合であり、トランジスタ Q_2 はベース電流が供給され、活性範囲で動作し始める。

【 0 0 1 6 】トランジスタ Q_1 はターン・オンすると電流の大部分を流し、この構造体の直列抵抗値は極めて小さくなる。トランジスタ Q_1 及び Q_2 が同じトランジスタである場合には、この構造体の降伏電圧は正及び負の静電気放電に対し“対称的”となる。いずれの場合でも、降伏電圧は 2 つのトランジスタ Q_1 及び Q_2 の選択に依存する。

【 0 0 1 7 】図 3 は、混合型の技術により構成できるもこれに限定されない本発明による可能な保護器回路を示す断面図である。この構造体は P 型の不純物がドーピングされた基板を有しこの基板上に N 型の不純物がドーピングされたエピタキシャル層が位置している単結晶シリコン片上に形成しうる。このエピタキシャル層の厚さは $8 \sim 10 \mu m$ 、その固有抵抗は約 $1.5 \Omega \cdot cm$ とする。

【 0 0 1 8 】エピタキシャル層 1 の成長中、当業者にとって周知の技術により埋め込み領域すなわち層 2 を形成する。この層 2 はこの層 2 以外のエピタキシャル層 1 の部分よりも多量にドーピングされており (N^+)、同じく N^+ 型の侵入領域 3 により表面に連結されている。

【 0 0 1 9 】埋め込み層 2 の上方でエピタキシャル層 1 上には、本例では $1 \cdot 10^{11} cm^{-1} \sim 3 \cdot 10^{11} cm^{-1}$ の範囲内のドーズ量で約 $1.25 \mu m$ の深さまで砒素を注入することにより P 型 (P-BODY) 表面領域 4 を形成する。約 $1 \cdot 10^{11} cm^{-1}$ のドーズ量で約 $0.3 \mu m$ の深さまで砒素を注入することにより、表面から P 型表面領域 4 内に延在する N^+ 型の領域 5 を形成する。更に、侵入領域 3 から P 型表面領域 4 の縁部領域まで延在する表面領域 6 を同様に形成する。

【 0 0 2 0 】簡単のために図面にはリード T 1 及び T 2 で示すも、実際には一部が N^+ 型の拡散領域を以て構成され他の一部がアルミニウム又はドーピングされた多結晶シリコンのような導電性材料の通路を以て構成されている適切な電気接続手段を領域 5 及び 3 上にこれら領域と抵抗接触するように設ける。これにより、図 2 に示す

5

6

保護器回路構造が極めて簡単に形成されたことになる。

【0021】保護すべき端子T1と接地端子T2との間に接続されているトランジスタQ₁は領域5、4及び2の順次のNPN構造を以て構成され、この場合、領域5がエミッタであり、P型表面領域4がベースであり、エピタキシャル層、特にその埋め込み領域2がコレクタを構成する。

【0022】トランジスタQ₁に対しても同様のことが言え、そのエミッタはP型表面領域（ベース領域）の周辺領域の上側にある領域6であり、共通コレクタ領域2 10によって得られ、侵入領域3を経てエミッタ領域6に連結されている。

【0023】上述した実施例は、いかなる静電気放電が発生しても信頼性を確保する必要のある装置を全体として適切に動作させるのに重要なあらゆる技術的特徴を、本発明にとって本質を成すものでなくとも含むものであることに注意すべきである。

【0024】一例として、エミッタ領域5及び6の縁部にHVS（高電圧シフト）拡散を行ない、そのドーピング濃度を中心部よりも低くして、PN接合縁部の曲率半 20径を大きくし、従って破壊性の“ホットスポット”の形

成を回避してその降伏を良好に制御するようにする。

【0025】更に、2つのエミッタ領域5及び6間にP型の領域7を介在させ、この領域7のドーピング濃度をP型表面領域4の他の領域よりも高くして、2つのエミッタ領域5及び6の互いの分離を高めるようにする。

【0026】本発明の範囲を逸脱することなく、上述した実施例に種々の変更を加えること勿論である。

【図面の簡単な説明】

【図1】従来の保護回路を示す回路図である。

【図2】本発明による保護回路の一例を示す回路図である。

【図3】本発明による保護装置の一例を示す断面図である。

【符号の説明】

Q₁、Q₂ トランジスタ

2 埋め込み層

3 侵入領域

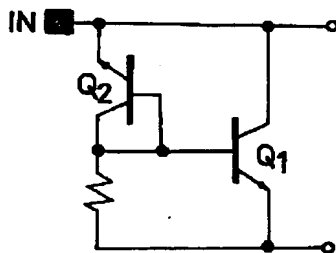
4 表面領域

5 N⁺型領域

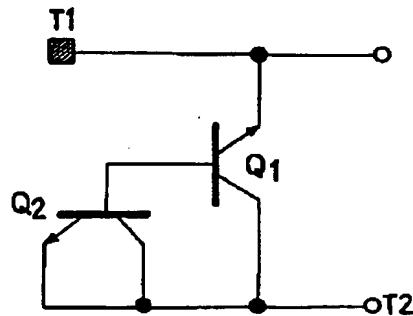
6 周辺領域

7 P型領域

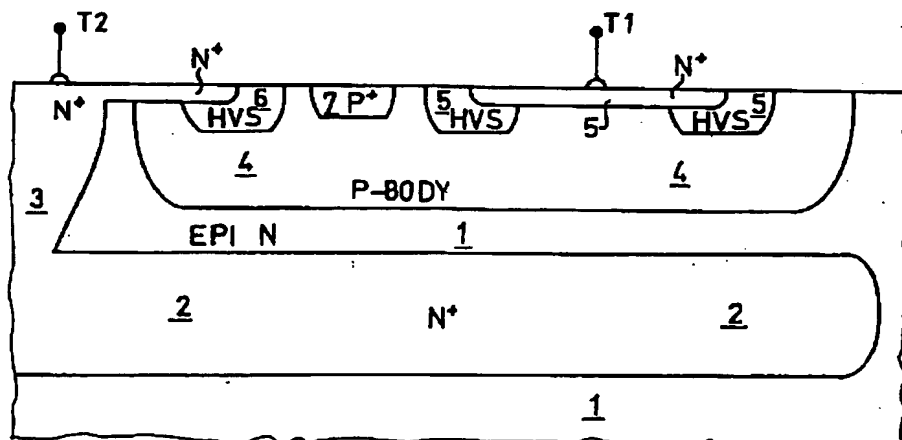
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 ファブリツィオ マルティニョーニ
イタリア国 ヴァレーゼ 21040 モラソ
ーネ ヴィア マッツイーニ 5